

Anmeldung zur Veranstaltung

Chemisch Silber – Kostengünstige und zuverlässige Oberflächen für die nächste Leiterplattengeneration

Firma

Straße, Nr.

PLZ, Ort Land

1. Teilnehmer: Titel, Vorname, Name

Abteilung

E-Mail

ja, der Teilnehmer ist beim Vorabendtreffen 16.11. dabei.

2. Teilnehmer: Titel, Vorname, Name

Abteilung

E-Mail

ja, der Teilnehmer ist beim Vorabendtreffen 16.11. dabei.

3. Teilnehmer: Titel, Vorname, Name

Abteilung

E-Mail

ja, der Teilnehmer ist beim Vorabendtreffen 16.11. dabei.

Die Seminargebühren in Höhe von 295,- Euro je Teilnehmer überweisen wir nach Erhalt der Rechnung.

Fraunhofer IZM

Applikationszentrum »Smart System Integration«

Gustav-Meyer-Allee 25, Geb. 17, 13355 Berlin

Veranstaltungsort: 5. OG, Raum 294

Telefon +49 30 46403-742

Fax +49 30 46403-710

E-Mail info@apz.izm.fraunhofer.de

www.apz.izm.fraunhofer.de

Kontakt: Anne Tillack

Datum: 17.11.09 (Anmeldung bis 2.11.09)

Preis: 295,- Euro

Wer sollte teilnehmen?

Sie setzen Chip-on-Board-Technologien (CoB) zusammen mit Löt- oder Klebtechnologien (Flip-Chip- oder SMD-Komponenten) auf der Leiterplatte ein oder planen dies. Auf den inzwischen abscheide- und löttechnisch bewährten Chemisch-Silber-Oberflächen können Sie neuerdings auch kostengünstig Chip-on-Board-Technologien mit Golddrahtbondtechnik einsetzen.

Der Workshop vermittelt Profis wie Neueinsteigern gleichermaßen die Möglichkeiten und Vorteile des Silber-Finishes und das notwendige Verständnis, um mit Kollegen im eigenen Unternehmen technologische Probleme kompetent diskutieren oder mit Ihren Zulieferern die Einführung dieser Technologie kompetent vorbereiten zu können.

Was erwartet Sie?

Der Workshop gibt im ersten Teil einen Überblick über aktuelle Trends in der Baugruppenintegration und insbesondere auf die Entwicklungen und Anforderungen der CoB-Technologie. Chemisch Silber als Finish mit den stärksten Zuwachsraten in den vergangenen Jahren wird vorgestellt. Der zweite Teil vermittelt einen umfassenden Einblick in die relevanten Technologien, angefangen vom Löten und Kleben auf chemisch Silber, über das Au-TS-Drahtbonden bis hin zur Verkapselung.

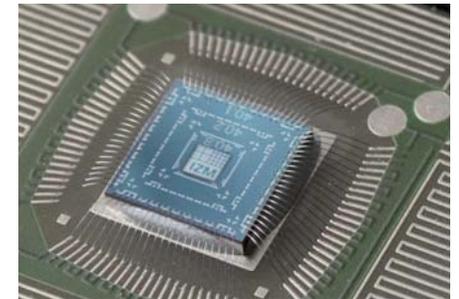
Im dritten Teil wird die Zuverlässigkeit von CoB-Baugruppen behandelt. Anhand von Praxisbeispielen können die Teilnehmer mit den Vortragenden Ihre Fragen in kleiner Runde diskutieren.

PRODUKTENTWICKLUNG

TECHNOLOGISCHE DIENSTLEISTUNGEN

Workshop

SERVICES

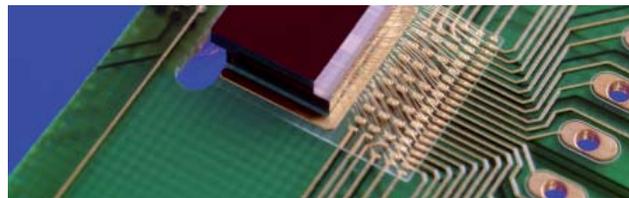


Chemisch Silber – Kostengünstige und zuverlässige Oberflächen für die nächste Leiterplattengeneration

Workshop mit Diskussion

Dienstag, 17.11.2009, Berlin

Fraunhofer Institut
Zuverlässigkeit und
Mikrointegration



Hintergrund

Chemisch Silber – Kostengünstige und zuverlässige Oberflächen für die nächste Leiterplattengeneration

Immer mehr und immer unterschiedlichere Funktionen müssen auf einer Leiterplatte untergebracht werden. Die Mischbestückung aus CoB, Flip-Chip und SMD nimmt stetig zu, doch universell einsetzbare Finish-Metallisierungssysteme für all diese Technologien sind am Markt kaum verfügbar. Zugleich verlangen die Anwendungen nach preiswerteren Lösungen. Der Workshop stellt ein Oberflächenfinish vor, mit dem Sie als Unternehmen den Anforderungen Ihrer Produkte gerecht werden und gleichzeitig die Produktionskosten senken können.

Preiswert zum multifunktionalen Board – Chip on Board in Kombination mit FlipChip und SMD

In der CoB-Technologie sind in den letzten Jahren erhebliche Anstrengungen unternommen worden, die Substrat- und die Montagekosten zu senken. Ein kostengünstiges Substrat muss sich daran messen lassen, inwieweit es sich für Löt- und Klebe-Techniken einschließlich Die- und Drahtbonden sowie Verkapselung eignet, ohne dass eine Verifizierung erforderlich ist. Dies ist bei Standard FR4- (FR5-)Materialien mit Kupferkaschierung bereits der Fall. Nur beim Oberflächenfinish musste bislang mit chemisch Ni(Pd)Au ein vergleichsweise teures Finish zum Einsatz kommen.

Chemisch Silber – Markterfolg dank hervorragender technischer Eigenschaften

Mit chemisch Ag (Immersion Ag) steht der Baugruppenindustrie mittlerweile ein Finish zur Verfügung, dessen Vorteile wie

- gleichmäßige Schichtdicke ohne »undercut« der offenliegenden Cu-Flanken,
- sehr gute Kompatibilität mit bleifreien Loten (SnAg, SnAg-Cu,...), kompatibel mit RoHS-Richtlinie
- gutes Benetzungs- und damit Lötverhalten auch bei Mehrfachlötungen und
- umweltfreundlicherer Abscheidungsprozess bei gleichzeitig geringerer Belastung der Leiterplatte durch »mildere« Prozessschritte

seit 2003 zu einer Verdoppelung des Aufkommens in Europa und einer Verachtfachung weltweit geführt hat.

Chemisch Silber – Preiswerte und robuste Alternative für CoB-Anwendungen

Die Arbeiten des Fraunhofer IZM und weiterer Partner haben gezeigt, dass chemisch Silber als preiswerte und vor allem robuste Alternative bei der Verwendung von CoB zur Verfügung steht.

- Ermöglichung einer höheren Fertigungsausbeute, da Au-Drahtbondprozess leichter beherrschbar als bei gängigen Systemen
- Extrem zuverlässige Bondverbindungen bei Verwendung von Golddrähten und TS-Bondern
- Möglichkeit der Verwendung preiswerter silbergefüllter Kleber für den Die-Attach, eine bessere metallische Verbindung von Kleber und Oberfläche sorgt dabei für mehr Qualität.
- Erzeugung wesentlich feinerer Strukturen auf Leiterplatte bei erforderlichen Schichtdicken (galv.: typ. einige μm , chemisch: typ. einige 100 nm)

Programm

16.11.2009

19.00 Vorabendtreffen im Restaurant »12 Apostel«

17.11. 2009

ab 9.30 Registrierung

10.30 Begrüßung und Einführung zum Workshop

Dr.-Ing. Martin Schneider-Ramelow

Trends und Anforderungen in der Leiterplattentechnik

10.45 Multifunktionale Leiterplatten und Chip-on-Board

Anforderungen an moderne Leiterplatten und an das Oberflächenfinish hinsichtlich Verarbeitbarkeit, Zuverlässigkeit und Umweltaspekten

Dipl.-Ing. (FH) Stefan Schmitz

11.20 Chemisch Ag – ein bewährtes Oberflächenfinish auf dem Weg in neue Anwendungen

Überblick über die chemischen Eigenschaften und die Anwendung, Vor- und Nachteile gegenüber anderen Oberflächen-Finishs, betroffene Bereiche und angestrebte Lösungen

Frando van der Pas (Enthone Europe)

12.00 Mittagspause

Technologische Grundlagen und Ergebnisse praktischer Tests

13.00 Löten auf chemisch Ag

Lötbarkeit von Oberflächen, Fehlermechanismen, Prozessführung

Dr.-Ing. Matthias Hutter, Dipl.-Ing. Steffen Rauschenbach

13.30 Drahtbonden auf chemisch Ag

Bondbarkeit, Bondanprobe, Vorbehandlung, Prozessführung, Qualitätsprüfung

Dipl.-Ing. Jens Göhre

14.00 Kleben und Verkapseln für die Chip-on-Board Montage

Verwendete Materialien & typische Eigenschaften, Verarbeitungsverfahren, Material- & Package-Qualifikation, Verkapselung auf chemisch Ag

Dipl.-Ing. Karl-Friedrich Becker

14.30 Kaffeepause

Zuverlässigkeit und Praxisbeispiele

15.00 Zuverlässigkeit verkapselter und unverkapselter CoBs

Einfluss von Vorbehandlung, Prozessführung, Prozessabfolge bei kombinierter SMD-Bestückung und Nachbehandlung

Dipl.-Ing. Jens Göhre

15.30 Vorstellung von Praxisbeispielen und Diskussion mit den Vortragenden in kleinen Gruppen zu den Themenschwerpunkten:

- Chemisch Ag und Prozessführung: F. v. d. Pas (Enthone Europe)

- Löten: M. Hutter (Fraunhofer IZM)

- Drahtbonden: J. Göhre (Fraunhofer IZM)

- Verkapselung: K.-F. Becker (Fraunhofer IZM)

- Zuverlässigkeit: M. Schneider-Ramelow (Fraunhofer IZM)

16.30 Gelegenheit zum fachlichen Austausch